

シミュレーション活用による 高速伝送基板の設計

～シミュレーションの概要～

近年のプリント基板の傾向

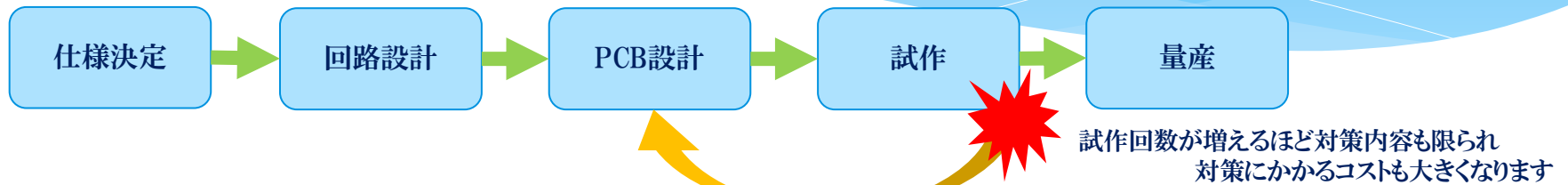
基板の小型化
省電力化
素子の低電圧化
高速化
高密度化



～シミュレーションの必要性～

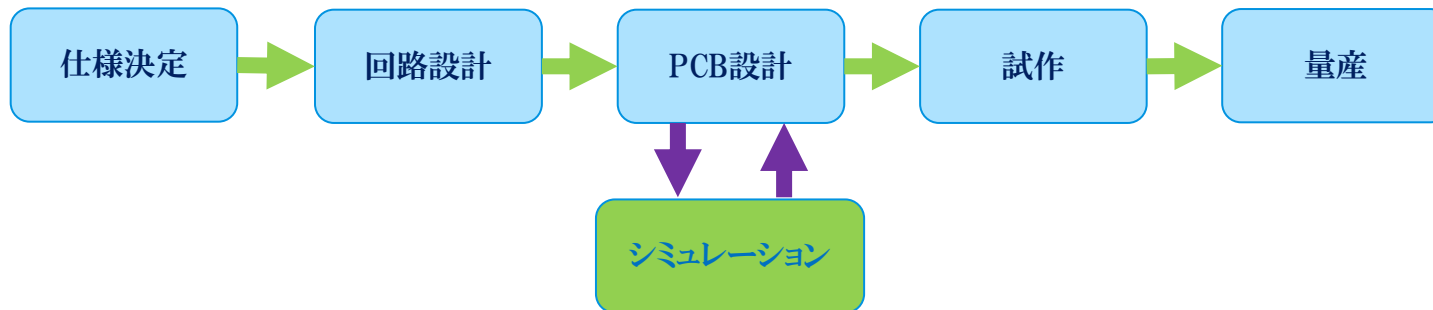
開発プロセス

シミュレーションが無い場合



シミュレーションを取り入れる事によって！

シミュレーションが有る場合



試作回数を低減させるとともに、回路デバックの効果も得られ、
開発期間の短縮が狙えます

～シミュレーションの必要性～

高速PCB設計に於ける問題は
大きく以下の項目に分けられます

SIの問題
(信号品質)

PIの問題
(電源品質)

EMIの問題
(電磁気妨害)

ノイズ・・・

動作不安定
の原因

シミュレーションは上記問題を発見しPCB設計に反映する事を
目的としております

シグナルインテグリティ（信号品質）の問題

SI (Signal Integrity) : シグナルインテグリティ (信号品質)
部品間配線パターン接続時に発生する信号の歪みを取り扱います

●シグナルインテグリティとは、ドライバ、レシーバ間の信号の整合性を保ちシステムのタイミングを保証することです。

- ◆インピーダンスマッチング
- ◆反射 (リングング)
- ◆クロストーク
- ◆遅延・タイミング

シグナルインテグリティ（伝送線路）の問題

～インピーダンスのマッチング～

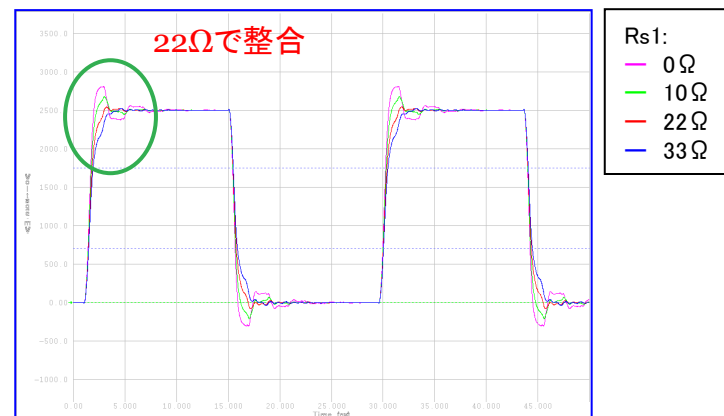
*外層と内層のインピーダンスを合わせる

【Zo】										Zo = 50Ω ± 10%			
Layer	structure	material (μm)	plate (μm)	grade	比誘電率	誘電正接	残銅率 (%)	finish (μm)		設定/保証/測定(要/不要)			
										Width	Zo	D-code	データ値
Lay1	SR			SR	4.1	0.019							
	Signal	12	20	FR4	3.9	0.019	50			200	50.28		
Lay2	GND	pp100*1		FR4	3.9	0.018	80						
Lay3	Signal	35		FR4	3.9	0.019	30			180	49.46		
Lay4	Signal	pp100*1		FR4	3.9	0.019	30			180	49.46	0	0
Lay5	VCC	core150		FR4	3.9	0.018	80						
Lay6	Signal	pp100*1		FR4	3.9	0.019	50			200	50.28	0.00	0.00
	SR			SR	4.1	0.019							

*ドライバICのZdとZoを合わせる



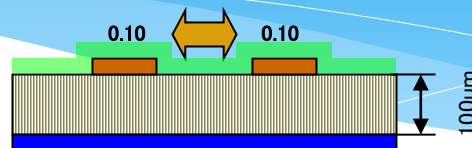
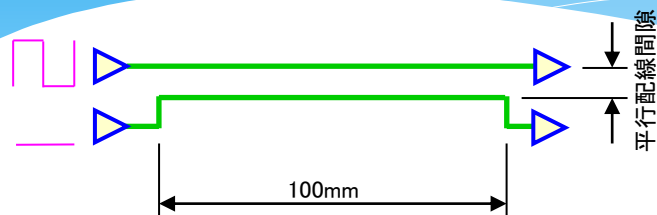
$$*Z_d + R_{s1} = Z_o$$



シグナルインテグリティ（伝送線路）の問題

～クロストーク～

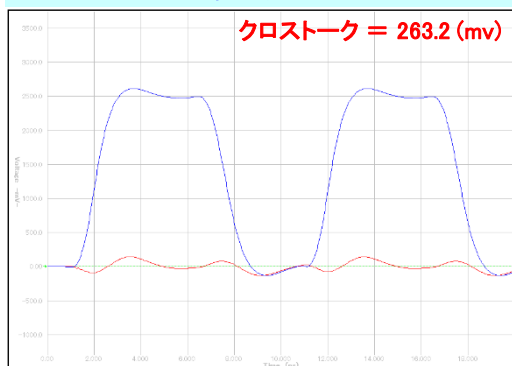
- 隣接した配線のギャップが小さく並走距離が長いと隣接信号のタイミングに影響し、最悪の場合、回路の誤動作を引き起こします。



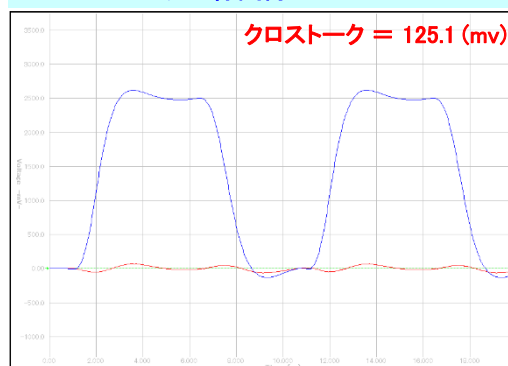
Frequency : 100MHz
Duty : 50%

Zo : 50Ω

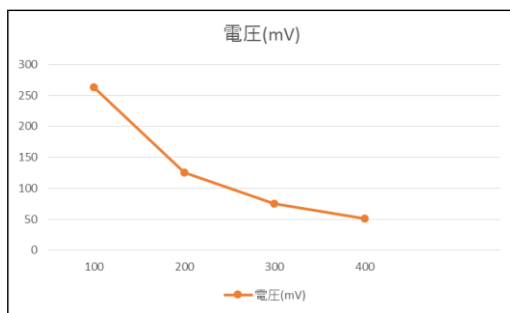
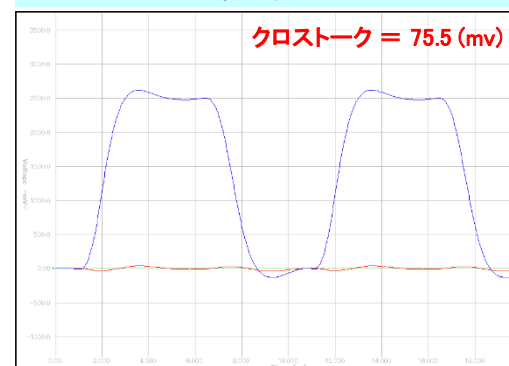
a) 配線間隙:0.1mm



b) 配線間隙:0.2mm



c) 配線間隙:0.3mm



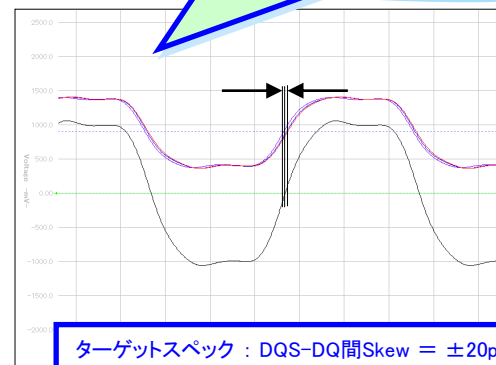
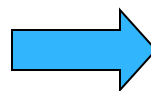
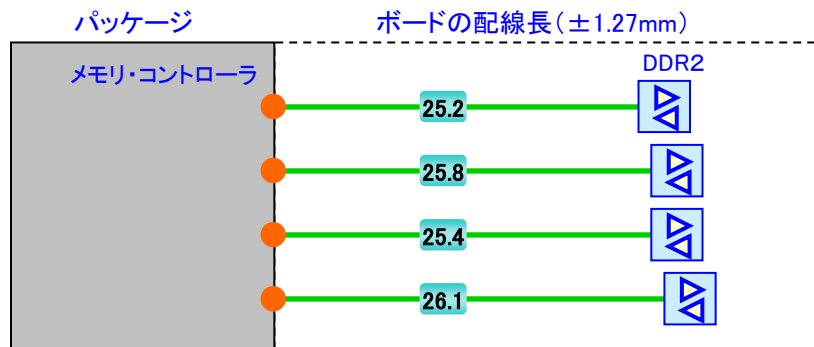
ギャップが小さくなるとクロストークレベルは格段に大きくなる。(単純な比例ではない)
→ギャップを少しでも空けると効果的
(この例では0.1~0.3mmでの変化が大きい)

シグナルインテグリティ（伝送線路）の問題

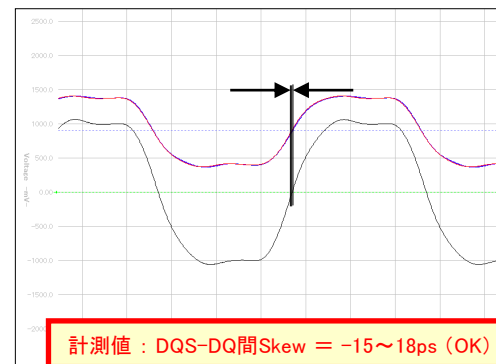
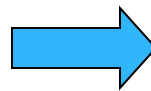
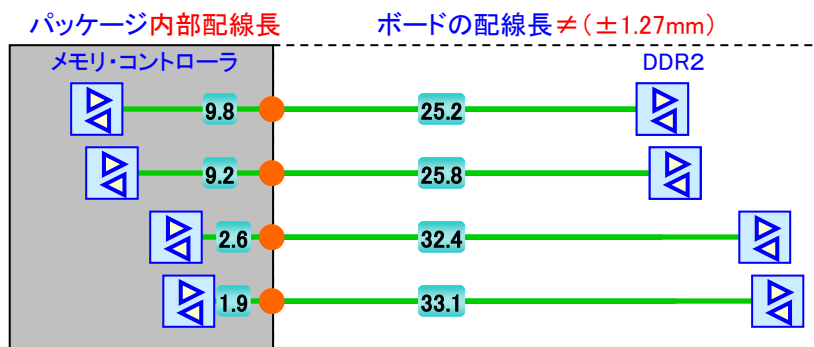
～遅延・タイミング～

- 信号の高速化に伴い、タイミングを整合する為にボードトレースの等長を行ってききましたが、更なる高速化やLSIパッケージの大型化により、パッケージの内部配線長を考慮したアートワーク設計及びシミュレーションによるタイミング解析が重要になってきました。

タイミング解析とは、
2本以上の信号に対して、それらの動作タイミングを
踏まえた波形を出力して、波形から時間値を測定して
いくという作業になります。



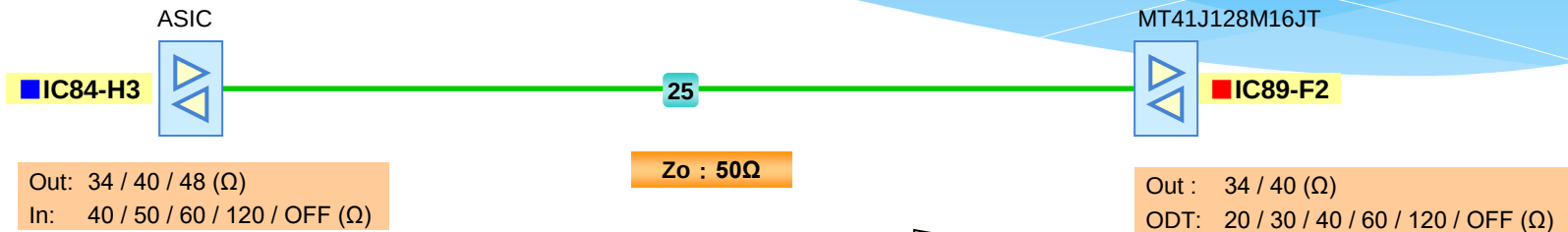
計測値 : DQS-DQ間Skew = -15~30ps (NG)



解析事例①

- DDRxなどのメモリインターフェースはドライバモデル、レシーバモデル共に数種類準備されています。シミュレーションを行うことによって適切な組み合わせを確認することが出来ます。

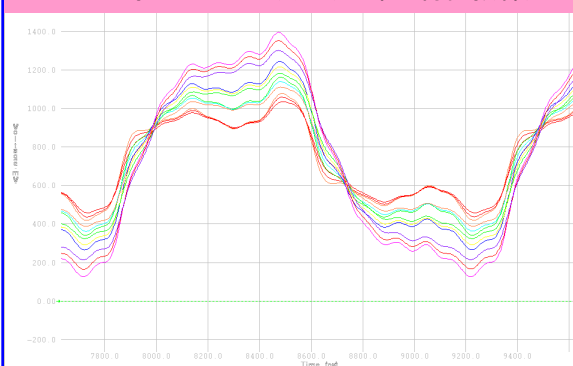
例) あるASICとDDR3のデータバスの場合



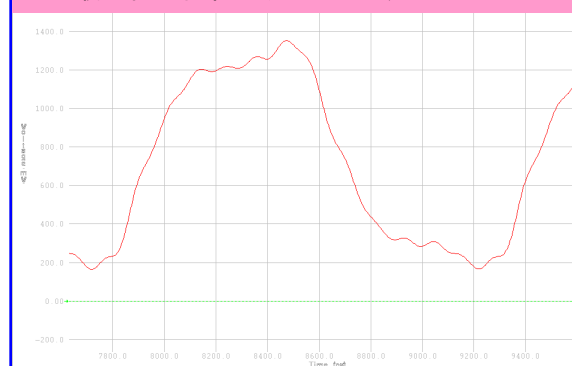
WRITE時:ドライバ3種類、レシーバ6種類から最適組み合わせを決定

READ時:ドライバ2種類、レシーバ5種類から最適組み合わせを決定

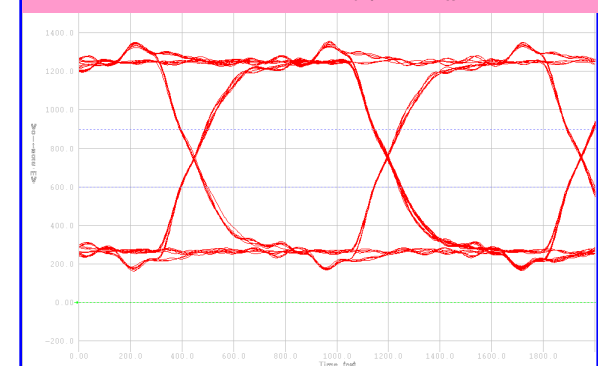
WRITE時のレシーバ波形(一部の特性抜粋)



最適組み合わせ (Out=40 Ω 、ODT=60 Ω)



アイパターンでの確認も可能



解析事例②

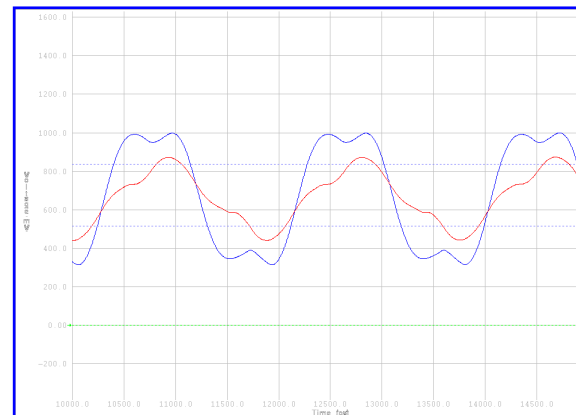
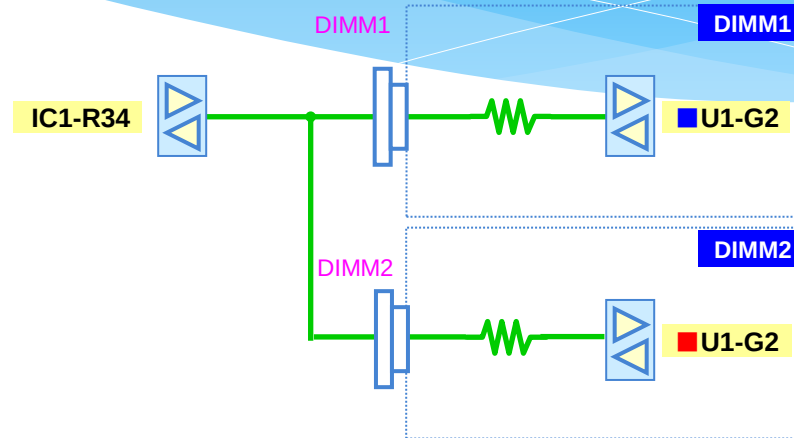
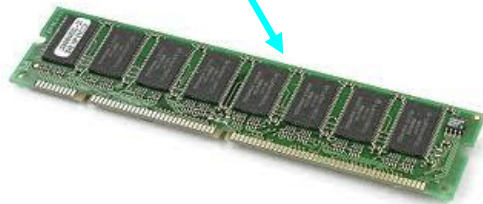
マルチボード解析

●CPU+DIMMなど基板を跨いでの解析も可能です。

MAIN基板



DIMM基板



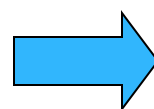
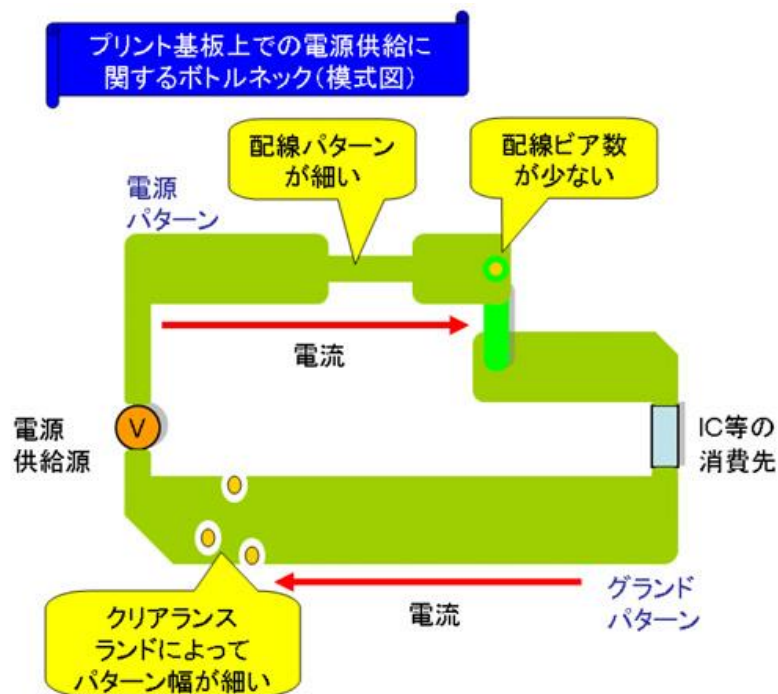
パワーインテグリティ（電源線路）の問題

- 近年はPIよりもPDN(Power Distribution Network)という言葉が使用されます。PCBのパワー、グランドプレーンのインダクタンス成分により、デバイスの電源・グランドピン間に電圧変動が起こり、デバイスの安定動作を妨げます。
- 昨今のデザインではデバイスの動作電圧の低下に伴い動作電圧のマージンは少なくなっているにも係わらず、消費電力と信号のエッジスピードは上昇傾向にありますから、動作が不安定となりやすくなります。
- 電源の安定性については以下の観点で確認します。
 - ◆ IRドロップ解析
 - ◆ インプットインピーダンス解析
 - ◆ トランスファーインピーダンス解析

パワーインテグリティ（電源線路）の問題

～IRドロップ解析～

- LSIの電源配線上に生じるDCレベルの電圧降下をIRドロップと言います。
- LSIが大きな電力を消費した場合、電流を供給する電源配線の抵抗が大きいと、配線抵抗 R と電流 I の積の電圧降下が生じる。
- IR が大きくなると、LSIの電源電圧が動作電圧以下になり、誤動作を生じる。

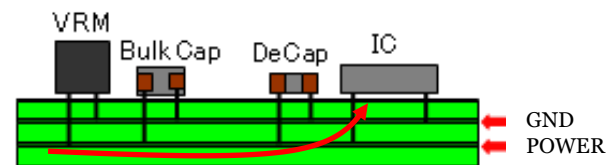
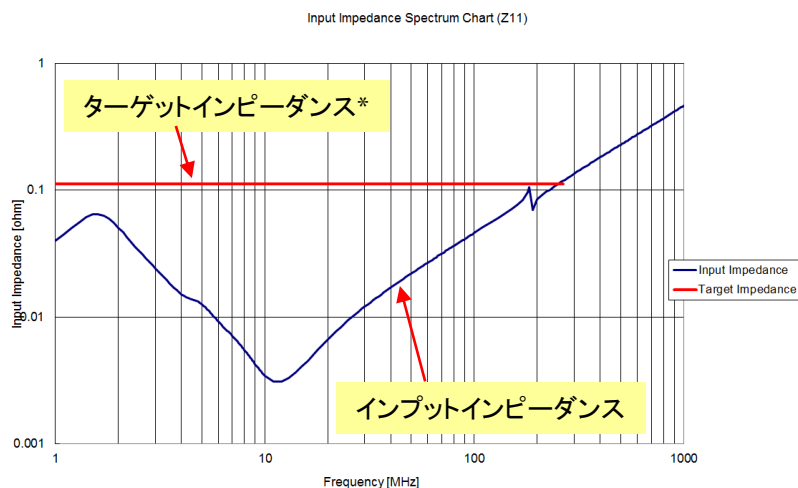


- ◎ パターンを太くする
- ◎ 切り返しのビアを増やす
- ◎ ビアの切り返し方法を改善する

パワーインテグリティ（電源線路）の問題

～インプットインピーダンス解析～

- インプットインピーダンス解析では指定したICがきちんと電流を吸い込み安定して動作可能であることをターゲットインピーダンスを指標とした電源プレーンインピーダンスの周波数特性グラフにより表示します。
- インプットインピーダンス特性を理解することにより、適切なキャパシタを選択し、電源を安定状態に導くことが出来る。



基本的な対策

- ・キャパシタ位置
- ・キャパシタ容量
- ・電源/GNDプレーン間距離
- ・電源プレーン形状

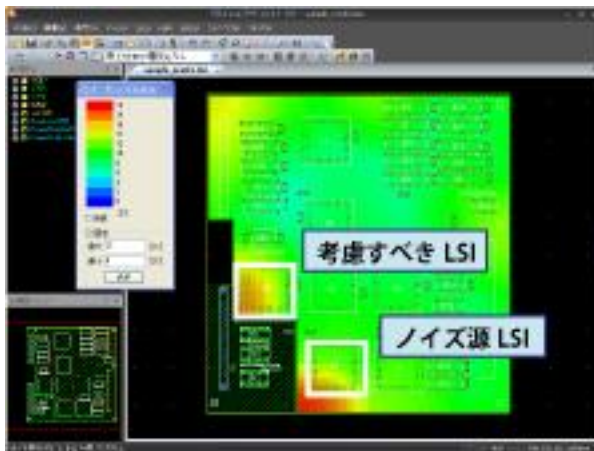
* ターゲットインピーダンス・・・電源電圧の変動を抑制する為の指標

パワーインテグリティ（電源線路）の問題

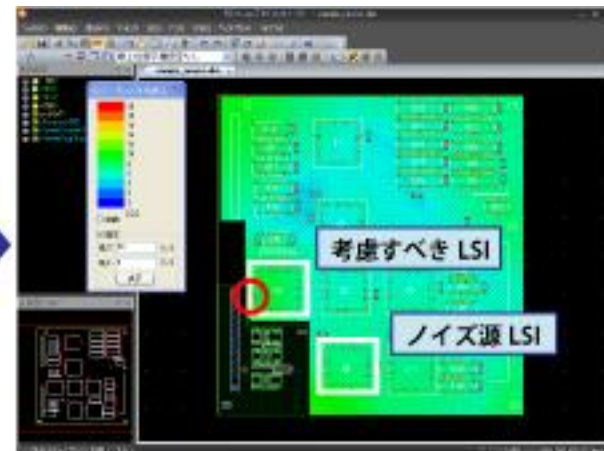
～トランスファーインピーダンス解析～

● LSIの動作による他LSIの誤動作回避

LSIからの電源ノイズの伝達をトランスファーインピーダンスとして算出します。



ノイズ源LSIの動作により、考慮すべきLSI付近にインピーダンスの高い箇所が発生。誤動作の危険性あり。



考慮すべきLSI付近のインピーダンスが高い位置にキャパシタを追加。トランスファーインピーダンスが下がり、LSI誤動作の危険性を回避できた。

EMI, EMCの問題

- 回路の高速・高周波化によりフォローすべき周波数帯が格段に広がり、EMI対策は年々難しくなっています。開発期間の短縮や低コスト化により、初期段階からノイズ問題を考慮したノイズを出さない基板の設計が必要になってきています。

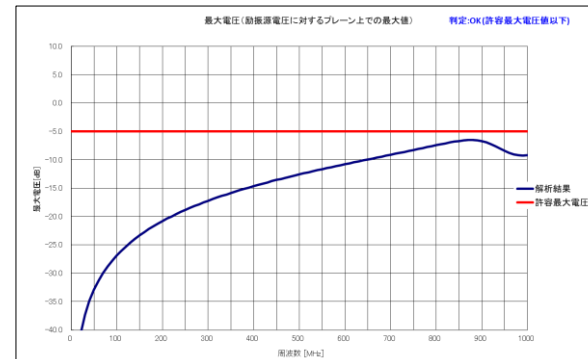
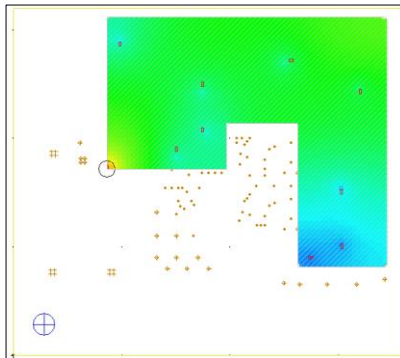
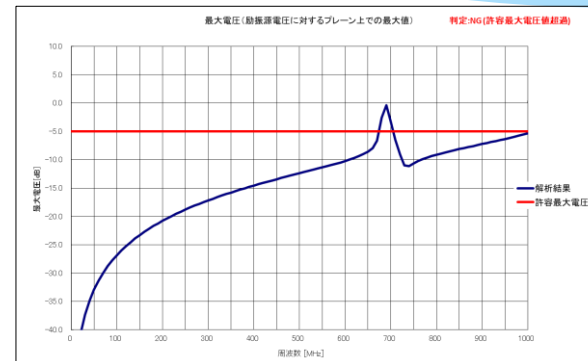
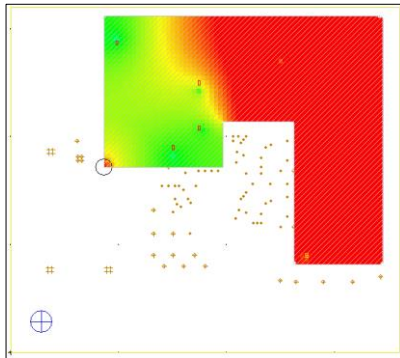
- ◆電源-GNDプレーン共振解析
- ◆EMIルールチェック

EMC: Electromagnetic Compatibility (電磁環境適合性)
EMC = EMI + EMS
EMI: Electromagnetic Interference (電磁気妨害)
EMS: Electromagnetic Susceptibility (耐障害性)

EMI, EMCの問題

～電源－GNDプレーン共振解析～

- 多層プリント板の電源層とグランド層は平行平板モードにより共振現象が発生します。共振周波数では、インピーダンスは大きく変化し、また、共振により蓄積されるエネルギーは放射エネルギーとなってプリント基板外に放射されます。
- 電圧強度分布の高い箇所にキャパシタやスナバ回路を配置することでプレーンの共振を抑制します。



EMI, EMCの問題

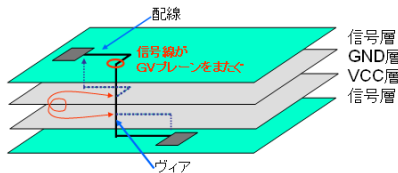
～EMIルールチェック～

- EMI抑制に効果的なチェックルールに基づいて、不要電磁波の発生原因になり得る部品配置や配線、プレーン部分を抽出し、その対策案を示します。

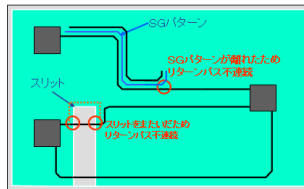
『帰還電流分断系チェック』

- ① G-Vプレーンまたぎチェック
- ② リターンパス不連続チェック
- ③ 基板端チェック
- ④ SGパターン有無チェック
- ⑤ SGパターンのビア間隔チェック

GVプレーンまたぎチェック



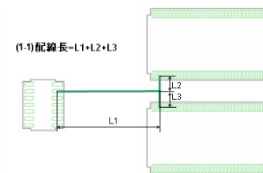
リターンパス不連続チェック



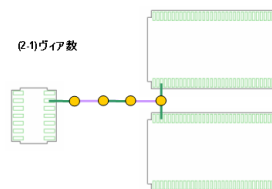
『配線系チェック』

- ① 配線長チェック
- ② ビア数チェック
- ③ 放射電界チェック
- ④ フィルタチェック
- ⑤ 差動信号チェック
- ⑥ クロストークチェック

配線長チェック



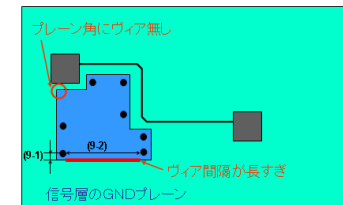
ビア数チェック



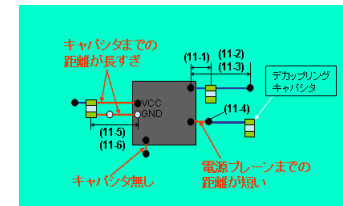
『電源・GND系チェック』

- ① プレーン外周チェック
- ② デカップリングキャパシタチェック
- ③ デジアナ干渉チェック
- ④ LSIグランド分離チェック

プレーン外周チェック



デカップリングキャパシタチェック



その他解析

～熱解析～

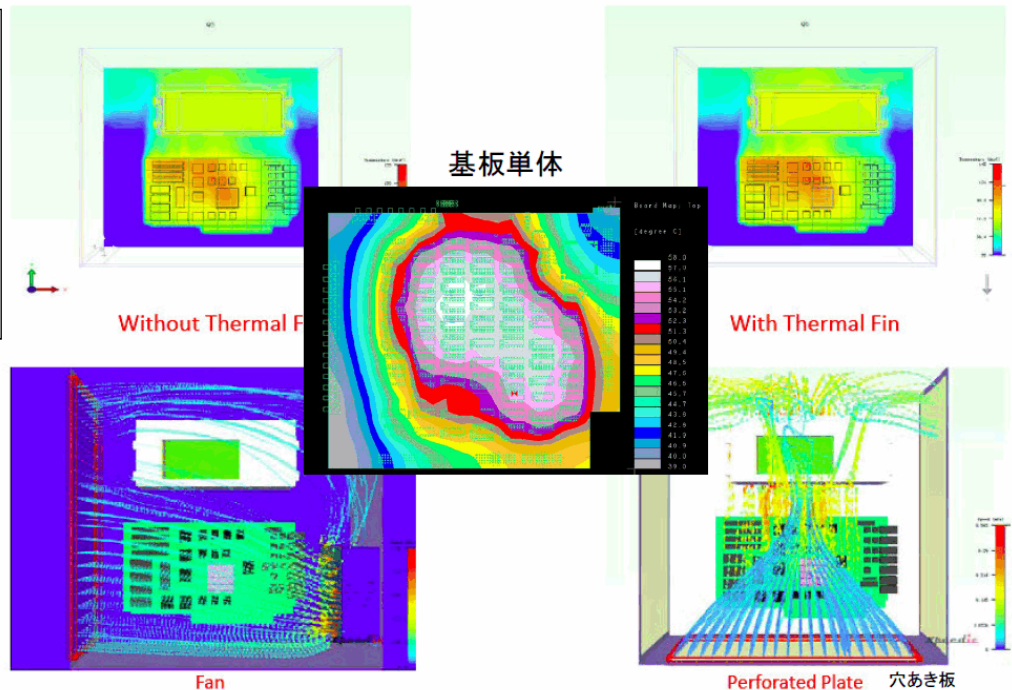
- 高密度化・高集積化が進む電子機器。いっぽう車載ECUをはじめ、過酷な環境下での利用が増えていることから、今まで以上に熱問題が重要視されています。

【インプット】

- ・基板形状や部品データ（形状、材質・特性など物理的なもの）・・・IDF形式、テキスト形式など
- ・発熱部品の構造や動作電力、基板の重力向き
- ・空冷情報や周囲条件、筐体条件等

* 基板単体の解析なのか筐体や周囲条件を含めた詳細な解析とでは必要情報、工数が異なります。

熱シミュレーションサンプル(筐体・ファン・ヒートシンク含)

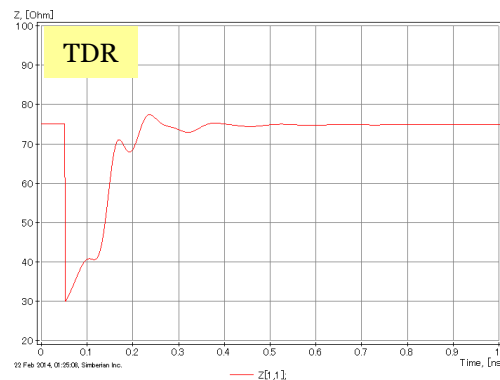
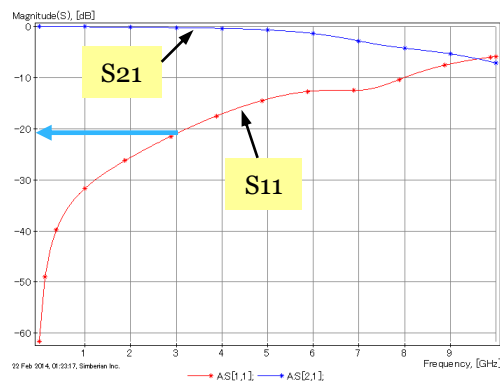
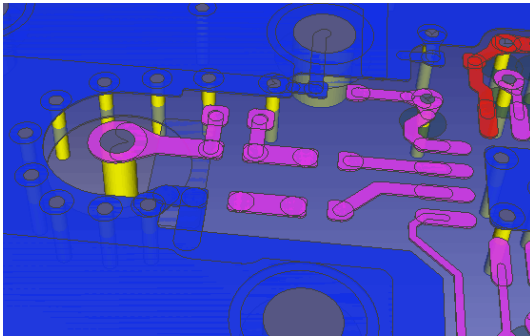


その他解析事例

● 以下のような電磁界解析の事例もございます。

三次元電磁界解析によるSパラメータ及びTDR解析

線路周辺やBNCコネクタ周辺のGNDプレーンの抜きのサイズを調整して高周波でも損失が抑えられるようなアートワーク設計を行います。



使用ツール

ソフト名称	メーカー	機能
HyperLynx GHz	Mentor Graphics	伝送線路解析(プリ・ポスト)
DEMITASNX	NEC情報 システムズ	電源-GNDプレーン共振解析 EMIルールチェック機能

情報		伝送線路	プレーン共振
①基板構造	基板の各導体層、誘電層の厚み(図面でわかりやすく)	必要	必要
②材料特性	基板の材料(導体・誘電体)について、各材料名とその特性 導体……抵抗率、比透磁率 誘電体…比誘電率、誘電正接 ※指定がなければ、弊社の方で設定させていただきます	必要	必要
③レイアウト情報	CADデータ(配置・配線データ) ※対象CADについてはご相談ください 注意:プリSim段階ではCADデータは必要ありません	必要	必要
④回路情報 (解析ポイント)	回路図(必要な部分だけで可、電源電圧値も必要) 解析の対象となる信号名(回路図上でもご指定ください) 信号波形を計測するポイント(ピン) プレーン共振を解析するネット	必要	必要
		必要	—
		—	必要
⑤部品情報	部品表(デバイスの名称、メーカー、定数、回路記号) IBISモデル(解析の対象となるデバイスのみで可) ※情報がなければ、代わりのデバイスをご指定ください	必要	必要
		必要	—
⑥解析条件	動作周波数	必要	—

その他解析ツール

●その他、以下のツールを使用した解析が可能です。

解析種類	ツール
信号品質解析 信号波形 信号タイミング アイダイヤグラム	ALLEGRO HSPICE ADS ライトニング／DESIGN Force HyperLynx
電源品質解析 インプットインピーダンス トランスファーインピーダンス IRドロップ	PISStream Siwave PDNデザイナー PDNプランナー
放射ノイズ プレーン共振 電磁放射 EMIルールチェック	HFSS DEMITASNX EMCアドバイザー／DESIGN Force HyperLynx ALLEGRO
電磁界解析 Sパラメータ抽出 電流分布 IRドロップ	HFSS Siwave NIMBIC Simbeor
熱解析 基板温度分布	FloTHERM Icepak
特性インピーダンス	SI9000

